

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-13491

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12 23/36		9355-4M 9355-4M 9355-4M	H 0 1 L 23/ 12  H 0 1 L 23/ 12	N J F
審査請求 未請求 請求項の数 8 (全 11 頁) 最終頁に続く				

(21)出願番号 特願平5-76410

(22)出願日 平成5年(1993)3月11日

(31)優先権主張番号 特願平4-52865

(32)優先日 平4(1992)3月11日

(33)優先権主張国 日本 (JP)

(31)優先権主張番号 特願平4-68009

(32)優先日 平4(1992)3月26日

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 久野 勝美

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 佐々木 富也

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 岩崎 秀夫

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74)代理人 弁理士 則近 憲佑

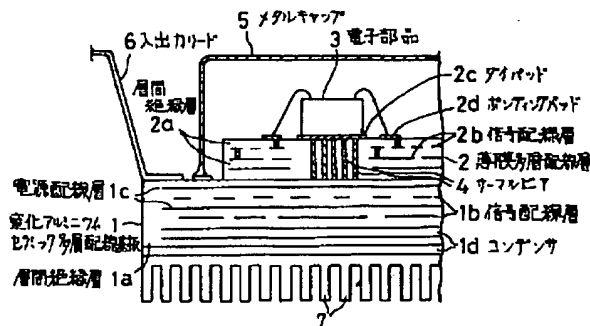
最終頁に続く

(54)【発明の名称】 多層配線基板

(57)【要約】

【目的】 発熱量の大きい超高速素子を実装した場合でも、電気・熱の両特性面で優れた性能を呈する多層配線基板を提供すること。

【構成】 窒化アルミニウムセラミック基板と、セラミック基板上に、一体的に配設された有機高分子を電気絶縁体層とする多層配線層と、前記多層配線層の表面に設けられた電子部品搭載・実装用ダイパッドと、および前記ダイパッドに一端が接続し、他端側が前記多層配線層を電氣的に絶縁された状態で貫通して、少なくともセラミック配線基板まで延長して設けられた、搭載する電子部品において発生する熱を効率的に放熱するための柱状のサーマルビアからなる多層配線基板。



## 【特許請求の範囲】

【請求項1】 セラミック基板と、このセラミック基板の第1の面に配設された有機高分子の電気絶縁体層の内部に配線が形成されている薄膜配線層と、この薄膜配線層の表面に設けられた電子部品と、この電子部品に一端が接続し、他端が前記薄膜配線層を電気的に絶縁された状態で貫通して、少なくとも前記セラミック基板まで延設された柱状のサーマルビアと、前記セラミック基板の第1の面と反対の第2の面上に設けられたヒートシンクとを具備してなることを特徴とする多層配線基板。

【請求項2】 前記薄膜配線層の表面に前記電子部品を搭載・実装するためのダイパッドを有し、前記電子部品に代えて前記ダイパッドに前記サーマルビアの一端が接続されることを特徴とする請求項1記載の多層配線基板。

【請求項3】 前記セラミック基板は、窒化アルミニウムを電気絶縁体層とし、内部に配線が形成された多層配線層からなることを特徴とする請求項1記載の多層配線基板。

【請求項4】 前記サーマルビアのうち、少なくとも1本は、前記セラミック基板を貫通して、前記ヒートシンクに接するように設けられていることを特徴とする請求項1記載の多層配線基板。

【請求項5】 基板と、この基板上に、一体的に配設さ

$$0.045 < A^* < 0.19h^* + 0.34$$

$$A^* = (d_e / D)^2$$

$$h^* = h / d$$

$$h = \frac{L}{2} \frac{d_{av}^2 - d^2}{d_e^2 - d^2}$$

ここで、 $d$ ：サーマルビアの最細部の断面積を正方形に換算したときの一辺の長さ、 $d_e$ ：サーマルビア端面が電子部品および基板と接する面積を正方形に換算したときの一辺の長さ、 $d_{av}$ ：サーマルビアの平均断面積を正方形に換算したときの一辺の長さ、 $D$ ：電子部品下のサーマルビアの平均ピッチ、 $L$ ：サーマルビアの長さ。

【請求項8】 前記配線層の表面に前記電子部品を搭載・実装するためのダイパッドを有し、前記電子部品に代えて前記ダイパッドに前記サーマルビアの一端が接続されることを特徴とする請求項7記載の多層配線基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、多層配線基板、とくに高速・高発熱の半導体素子等を搭載・実装するのに適した多層配線基板に関するものである。

れた電気絶縁体層の内部に配線が形成されている配線層と、この配線層の表面に設けられた電子部品と、前記配線層の内部で熱の輸送をするため少なくとも前記配線層を貫通して前記基板及び前記電子部品に接続された柱状のサーマルビアとからなり、前記サーマルビアの前記基板及び前記電子部品に接続される端面のうち少なくとも一方がサーマルビアの他の柱状部分の断面より広く構成されていることを特徴とする多層配線基板。

【請求項6】 前記配線層の表面に前記電子部品を搭載・実装するためのダイパッドを有し、前記電子部品に代えて前記ダイパッドに前記サーマルビアの一端が接続されることを特徴とする請求項5記載の多層配線基板。

【請求項7】 基板と、この基板上に、一体的に配設された電気絶縁体層の内部に配線が形成されている配線層と、この配線層の表面に設けられた電子部品と、前記配線層の内部で熱の輸送をするため少なくとも前記配線層を貫通して前記基板及び前記電子部品に接続された柱状のサーマルビアとからなり、前記サーマルビアの前記基板及び前記電子部品に接続される端面の断面積が前記サーマルビアの平均断面積よりも大きく、次の式を満足するように設定されていることを特徴とする多層配線基板。

【数1】

## 【0002】

【従来の技術】近年、スーパーコンピュータは勿論のこと、汎用のコンピュータの分野でも高速化が要求され、この要求に対応して、半導体素子（LSI等）として、CMOSなど従来のデバイスの高速化が図られる一方、ECLやGaAsに代表される新しいデバイスも開発されている。また、これらの超高速素子について、デバイス本来の高速性を引き出して動作させるには、新しい構成の配線基板、もしくは新しい実装方式が必要となってくる。このような要求に対処する一手段として、Si基板もしくはセラミック基板の所定領域面上に、例えば、ポリイミド樹脂等の絶縁層および銅系の導体パターンを交互に積層してなる薄膜多層配線層を一体的に形成した多層配線基板が開発されている。この多層配線基板を用いて、前記薄膜多層配線層面のダイパッド上に、高速な

半導体素子を搭載・実装して、薄膜多層配線層との間を電氣的に接続する。また薄膜多層配線層および半導体素子を、例えばメタルキャップ等で一体的に気密封止し、パッケージ化している。以上のように、前記多層配線基板の場合には、薄膜多層配線層の絶縁層として比誘電率が約3と小さいポリイミド樹脂を用いることにより、信号の伝播遅延時間の低減が図られ、それにより形成される回路の高速化ないし高性能化に対処することができる。

【0003】しかしながら、上記の構成の多層配線基板の場合には、つぎのような不都合な問題がある。すなわち、高速化が図られたCMOS等の超高速素子を実装する多層配線基板においては、さらに高速信号に対するすぐれた電気特性、および高発熱に対する良好な放熱特性が要求されている。そこで、高速信号に対しては、ポリイミド樹脂系の絶縁層および銅系の導体パターン層からなる薄膜多層配線層の構成で、また放熱性については、パッケージの裏面に放熱フィン等を設置する構成で対応している。しかし、前記多層配線基板の構造、あるいは実装構造では、高速動作時における発熱を十分に放熱することができないという問題がある。すなわち、高速化が図られたCMOS等の超高速素子は、高速動作時に数10W程度の発熱量を呈するのに対して、薄膜多層配線層を構成するポリイミド樹脂系の絶縁層では、信号線容量の低減や特性インピーダンス制御のために、1層当たり10~30 $\mu$ mの厚さが必要で、多層配線基板の場合、全体で100 $\mu$ mを越えることになり、ポリイミド樹脂の熱伝導率が低いので、大きな熱抵抗を呈する。したがって、前記超高速素子の高速動作時における発熱の放熱が不十分となり、超高速素子の本来の機能を発揮できないことになる。

【0004】

【発明が解決しようとする課題】以上説明したように、超高速素子を実装する多層配線基板においては、前記超高速素子の高速動作時における発熱の放熱が不十分となり、超高速素子の本来の機能を発揮できない。

【0005】本発明は上記の事情に対処してなされたもので、発熱量の大きい高速CMOSデバイス、ECLデ

バイス、GaAsデバイス等を実装した場合でも、電気・熱の両特性面で優れた性能を呈する多層配線基板の提供を目的とする。

【0006】

【課題を解決するための手段】本発明における多層配線基板は、セラミック基板と、このセラミック基板面に配設された有機高分子の電気絶縁体層の内部に配線が形成されている薄膜配線層と、この薄膜配線層の表面に設けられた電子部品搭載・実装用のダイパッド（このダイパッドは設けなくても良い。以下同様とする。）と、このダイパッドに一端が接続し、他端が前記薄膜配線層を電氣的に絶縁された状態で貫通して少なくとも前記セラミック基板まで延設された柱状のサーマルビアと、前記セラミック基板面と反対の面上に設けられたヒートシンクとからなるものである。

【0007】本発明における第二の多層配線基板は、基板と、この基板上に、一体的に配設された電気絶縁体層の内部に配線が形成されている配線層と、この配線層の表面に設けられた電子部品搭載・実装用のダイパッドと、前記配線層の内部で熱の輸送をするため少なくとも前記配線層を貫通して前記基板及び前記ダイパッドに接続された柱状のサーマルビアとからなり、前記サーマルビアの前記基板及び前記ダイパッドに接続される端面のうち少なくとも一方がサーマルビアの他の柱状部分の断面より広く構成されている。

【0008】本発明における第三の多層配線基板は、基板と、この基板上に、一体的に配設された電気絶縁体層の内部に配線が形成されている配線層と、この配線層の表面に設けられた電子部品搭載・実装用のダイパッドと、前記配線層の内部で熱の輸送をするため少なくとも前記配線層を貫通して前記基板及び前記ダイパッドに接触して設けられた柱状のサーマルビアとからなり、前記サーマルビアの前記基板及び前記ダイパッドに接続される端面の断面積が前記サーマルビアの平均断面積よりも大きく、次の式を満足するように設定されている。

【0009】

【数2】

$$0.045 < A^* < 0.19 h^* + 0.34$$

$$A^* = (d_e / D)^2$$

$$h^* = h / d$$

$$h = - \frac{L \cdot d_{1r}^2 - d^2}{2 \cdot d_e^2 - d^2}$$

ここで、d：サーマルビア最細部の断面積を正方形に換

算したときの一辺の長さ、 $d_e$ ：サーマルビア端面がダ

イパッド（又は電子部品）および基板に接する面積を正方形に換算したときの一辺の長さ、 $d_{av}$ ：サーマルビアの平均断面積を正方形に換算したときの一辺の長さ、 $D$ ：ダイパッド（又は電子部品）と接しているサーマルビアの平均ピッチ、 $L$ ：サーマルビアの長さ。

【0010】

【作用】本発明における多層配線基板によれば、高速に動作する電子部品の高速信号は、薄膜配線層が容易且つ確実に伝導し、また高速動作に伴う発熱量は、埋め込まれたサーマルビアを介して熱伝導率の高いセラミック基板に熱伝導されて、容易に放熱されるので、搭載・配置される高速CMOSデバイス、ECLデバイス、GaAsデバイス等を、安定して所定の動作をさせることが可能となる。

【0011】本発明における第2の多層配線基板によれば、基板内部あるいは半導体素子内部での水平方向の熱伝導の一部をサーマルビア内部での熱伝導に負担させることができる。サーマルビアを基板や半導体素子よりも高い熱伝導性をもつ材料で作成することにより、水平方向の熱伝導に伴う熱抵抗の増加を抑制することができる。また、サーマルビアの一部を太くすることによりサーマルビア内部での垂直方向の熱伝導特性も向上し、半導体素子の放熱特性は格段に向上する。

【0012】本発明における第3の多層配線基板によれば、基板あるいは半導体素子内部等の流れの縮小拡大の一部をサーマルビア内部で行わせることができる。また、サーマルビアの一部が太くなっているため、サーマルビア内部での基板に垂直な方向の熱的な抵抗を低減することもできる。

【0013】

【実施例】つぎに、以上の本発明の多層配線基板について、詳述にする。

【0014】本発明における第一の多層配線基板は、窒化アルミニウムやアルミナ、あるいは炭化ケイ素等を絶縁体層とするセラミック基板、有機高分子を絶縁層とする薄膜多層配線層、および少なくとも薄膜多層配線層を、電気的に絶縁された状態で、貫通して配置された柱状のサーマルビア（熱伝導率の高い材料で構成された柱状部材）から構成されている。前記の薄膜多層配線層を貫通して配置されたサーマルビアは、単数でも複数本でもよい。また、サーマルビアが電子部品又はダイパッド面に接する全面積は、電子部品又はダイパッド面の5～20%程度に選択するのが好ましい。すなわち、例えば、図2は、図1に示されるような多層配線基板を用いて、実験的に、ダイパッド面に接するサーマルビアの全面積のダイパッドの面積100に対する割合（面積比%）と熱抵抗（ $^{\circ}\text{C}/\text{W}$ ）との関係を求めたものである。この図2からは、面積比が5%を越えると熱抵抗は大幅に減少し、面積比が約20%を越えると熱抵抗は飽和し殆ど変化しない。従って、薄膜多層配線層の配線の設計が制約さ

れること等を考慮すると、サーマルビアのダイパッド面に接する全面積は上記した程度が好ましいといえる。さらに、サーマルビアを、薄膜多層配線層を貫通して、さらに、セラミック基板も貫通・配置させて、セラミック基板内に内層配置されたクラッド層、あるいはセラミック多層配線基板の裏面に設置された放熱フィン等のヒートシンクと電気的に接続する構成としてもよい。

【0015】以上のように、本発明における第一の多層配線基板は、熱伝導率の高い窒化アルミニウム等を絶縁体層とするセラミック基板、高速信号に対応して設けられた有機高分子を絶縁層とする薄膜多層配線層、および少なくとも薄膜多層配線層を、電気的に絶縁された状態で、貫通して配置された柱状のサーマルビアから構成されている。したがって、高速に動作する電子部品の高速信号は、薄膜多層配線層が容易且つ確実に伝導し、また高速動作に伴う発熱量は、埋め込まれたサーマルビアを介して熱伝導率の高い窒化アルミニウム側に熱伝導されて、容易に放熱されるので、搭載・実装される高速CMOSデバイス、ECLデバイス、GaAsデバイス等を、安定して所定の動作をさせることが可能となる。つまり、信頼性の高い高速動作型の電子回路装置を構成することができる。

【0016】以下に図1および図3を参照して本発明の第一の多層配線基板の実施例を説明する。

実施例1

図1は、本発明に係る多層配線基板を用いて構成した混成集積回路装置の、構成例の要部を断面的に示したもので、1は窒化アルミニウム多層配線基板で、窒化アルミニウムを層間絶縁層1aとして所用の信号配線層1b、電源配線層1cを内層し、またデカップリングコンデンサを構成する平行平板コンデンサ1dを内蔵した構成となっている。2は前記窒化アルミニウム多層配線基板1の面上に一体的に形成された薄膜多層配線層で、ポリイミド樹脂の層間絶縁層2aおよび信号配線層2bを交互に積層、一体化して構成されている。ここで、薄膜多層配線層2の信号配線層2bは、例えば、Au、Cu、Al、Cr、Ni、Ti、W、Mo等で形成されている。また層間絶縁層2aはポリイミド樹脂系の他の樹脂、例えばポリアミド樹脂、ポリアミドイミド樹脂、ペンタシクロブタン樹脂等を代わりに使用することができる。

【0017】前記薄膜多層配線層2の構成には特に考慮が払われている。すなわち、所要の電子部品3、例えばLSI素子を搭載する領域面（ダイパッド）2c面に一端を接続させた形で、前記薄膜多層配線層2が内層する信号配線層2bとは電気的に絶縁して、単数または複数本のサーマルビア4を貫通・埋設させてある。ここでサーマルビア4の他端面は、窒化アルミニウム多層配線基板1面に対接されている。そして、前記薄膜多層配線層2のダイパッド2c面に搭載・実装される電子部品3

は、薄膜多層配線層2面のボンディングパッド2dにワイヤーボンディングされ、薄膜多層配線層2をメタルキャップ5等により、窒化アルミニウム多層配線基板1面に封止して、混成集積回路装置を構成している。なお、図1にて6は入出力リード、7はヒートシンクである放熱フィンを示している。

【0018】以上の本発明に係る多層配線基板は、つぎのようにして製造される。すなわち、窒化アルミニウムグリーンシート面に、WまたはMoなどの導電ペーストを用いて所要の配線パターンを印刷し、これらのグリーンシートを所要の枚数重ね合わせて積層し、同時焼成したのち、この多層焼結体の主面に、Au、Cu、Al、Cr、Ni、Ti、W等の金属を1乃至2種以上を真空蒸着やスパッタリングで着膜し、フォトリソグラフィ技術によってパターン化して窒化アルミニウム多層配線基板1を製造する。

【0019】ついで、前記製造した窒化アルミニウム多層配線基板1面上に、ポリイミド樹脂をスピンコート・プリベークし、さらにコンタクトホールを形成してから、後キュアする。その後、前記コンタクトホールに、例えばCuやNiをメッキ法により析出させ（サーマルビア4の一部を形成する）、コンタクトホールを埋めると同時に、所要の信号配線層2bを、後キュアしたポリイミド樹脂層（層間絶縁層）2a面に形成する。この一連の工程を繰り返して、所要の多層配線層を備えた薄膜多層配線層2を形成することにより、窒化アルミニウム多層配線基板1およびサーマルビア4が埋め込まれた薄膜多層配線層2からなる多層配線基板が得られる。

#### 実施例2

図3は、本発明に係る他の多層配線基板を用いて構成した混成集積回路装置の要部の断面を示したもので、実施例1と同じく1は窒化アルミニウム多層配線基板で、窒化アルミニウム層を層間絶縁層1aとして所用の信号配線層1b、電源配線層1cを内層し、またデカップリングコンデンサを構成する平行平板コンデンサ1dを内蔵した構成となっている。2は前記窒化アルミニウム多層配線基板1の面上に一体的に形成された薄膜多層配線層で、ポリイミド樹脂の層間絶縁層2aおよび信号配線層2bを交互に積層、一体化して構成されている。

【0020】この実施例では、前記窒化アルミニウム多層配線基板1および薄膜多層配線層2の構成に特に考慮が払われている。すなわち、所要の電子部品3、例えばLSI素子を搭載する領域面（ダイパッド）2c面に一端を接続させた形で、前記薄膜多層配線層2に内層する信号配線層2b、および窒化アルミニウム多層配線基板1に内層する信号配線層1b、電源配線層1cとは電気的に絶縁して、単数もしくは複数本のサーマルビア4を貫通・埋設させてある。ここで、サーマルビア4のもう一方の端面は、窒化アルミニウム多層配線基板1の裏面

に配設されたヒートシンクである放熱フィン7に対接されている。すなわち、実施例1の構成に比べて、薄膜多層配線層2および窒化アルミニウム多層配線基板1の両方を貫通した形に、サーマルビア4を埋め込み配置した点が異なっている。この構成例の場合には、サーマルビア4は、放熱性に寄与するだけでなく、窒化アルミニウム多層配線基板1に内層されている電源配線層1bや放熱フィン7に接続することにより、基準電位の安定化なども容易に図り得る。すなわち、高速なCMOSデバイスなどの高速動作によって不安定になりやすい基準電位、例えば接地電位を放熱フィン7からサーマルビア4を介して、CMOSデバイスなどをダイパッド2c、もしくは、その近傍に与えることができるので、基準電位の安定化を図ることができる。

【0021】前記構成の多層配線基板は、次のような手段で容易に製造することができる。すなわち、窒化アルミニウムグリーンシート面上に、通常の方法で、例えば、WやMo等の導電ペーストを用いて所要の配線パターンを印刷し、これらのグリーンシートを所要枚数重ね合わせ（積層）し、同時焼成する。この同時焼成に先立って、前記窒化アルミニウムグリーンシートには、配線パターンとは電気的に絶縁可能なように、いわゆるビアホール手段により、穿孔した孔内を例えば導電性ペーストで充填して、サーマルビア4の一部を形成する。こうして、同時焼成して得た多層焼結体の主面に、Au、Cu、Al、Cr、Ni、Ti、W、Moなどの1種もしくは2種以上の組合わせで真空蒸着法やスパッタリングで着膜し、フォトリソグラフィ技法によりパターン化し、窒化アルミニウム多層配線基板1を製造する。

【0022】ついで、前記の窒化アルミニウム多層配線基板1の面上に、例えば、ポリイミド樹脂をスピンコート・プリベークし、さらにコンタクトホールを形成した後、後キュアする。その後、前記のコンタクトホールに、例えばCuやNiをメッキ法等により析出させ（サーマルビアの一部を構成する）、コンタクトホールを埋める。一方、所要の信号配線層2bを、後キュアしたポリイミド樹脂層（層間絶縁層）2aの面上に形成する。この一連の工程を繰り返し、所要の多層配線層を備えた薄膜多層配線層2を形成することにより、窒化アルミニウム多層配線基板1、薄膜多層配線層2および窒化アルミニウム多層配線基板1と薄膜多層配線層2を貫通して埋め込まれたサーマルビア4からなる多層配線基板が得られる。

【0023】以上の説明から分かるように、本発明に係る多層配線基板によれば、例えば高速CMOSデバイス、ECLやGaAsデバイスを搭載・実装する配線基板として用いた場合、標準的な薄膜多層配線層が有する良好な電気的特性、および窒化アルミニウムセラミック基板が持つ良好な熱特性（熱伝導性）が、より高性能化される。すなわち、熱的には搭載・実装されたLSI素

子などが、動作により発生した熱量は、サーマルビアを介して非常に低い熱抵抗で放熱される。一方、電気的には、埋め込み・配置したサーマルビア4を、薄膜多層配線層や窒化アルミニウム多層配線基板1に内層されている電源配線層や放熱フィン等のヒートシンクに接続することにより、高速なCMOSデバイス等の高速動作によって不安定になりやすい基準電位（例えば接地電位）を、サーマルビアを介してCMOSデバイスなどを搭載するダイパッド、もしくはその近傍に与えることができる。このように、本発明に係る多層配線基板は、高速化が要求される例えばコンピュータの実装回路装置の構成に適するものと言える。

【0024】本発明における第二の多層配線基板は、基板と、この基板の面上に一体的に配設された有機高分子を電気絶縁体層とする多層配線層、前記多層配線層の面上に設けられた電子部品を搭載ならびに実装するためのダイパッド、および前記多層配線層の厚さ方向にダイパッドからセラミック基板まで、電気的に絶縁された状態で、貫通している柱状のサーマルビアからなり、ここで前記サーマルビアは基板およびダイパッドに接する端面の少なくとも一方の断面積がサーマルビアの他の部分の断面積より大きく設定されている。なお、ダイパッドは設けずに、電子部品を直接多層配線層上に搭載・実装し、サーマルビアの一端を直接電子部品に接続してもよい。上記の構成によれば、基板内部あるいは半導体素子内部での水平方向に熱伝導の一部をサーマルビア内部での熱伝導に負担させることができる。サーマルビアを基板や半導体素子よりも高い熱伝導性を持つ材料で作成することにより、水平方向の熱伝導に伴う熱抵抗の増加を抑制することができる。また、サーマルビアの一部を太くすることによりサーマルビア内部での垂直方向の熱伝導性も向上し、半導体素子の放熱特性は格段に向上する。以下、図示の実施例に基づいて説明する。

#### 実施例3

図4は、本発明の一実施例に係わる断面図である。

【0025】図4において、発熱する半導体素子3は基板1の表面に作成されたサーマルビア4を内部に有する配線層2の上に取り付けられている。配線層2はポリイミド樹脂等の絶縁材3aを主として、その絶縁材2aの中に電気配線（図では省略）が多層に形成されている。サーマルビア4は、これらの配線と非接触となるように、配線を避けて配線層2内部に配設されている。

【0026】本発明における第二の多層配線基板では、サーマルビア4の形状が、図1に例示されているように、基板1および半導体素子3と当接する両端が他の部分（本体部4c）と比較して太く形成された幅広部4a、4bを有している。そしてこれらの幅広部4a、4bで半導体素子3内部での水平方向の熱伝導の一部を負担する構成（図4に熱の流れを矢印9で示す）となっ

ている。

【0027】このサーマルビア4は、例えば高さ100  $\mu\text{m}$ 、本体部4cの幅50~100  $\mu\text{m}$ 、および幅広部4aあるいは4bの幅は、本体部4cよりも太い60~400  $\mu\text{m}$ 程度に形成されている。

【0028】そして、例えば、サーマルビア4を銅、半導体素子3をシリコン、基板1をアルミナで作成した場合には、それぞれの熱伝導率は、サーマルビア4が350  $\text{W}/\text{m}^{\circ}\text{C}$ 、半導体素子2が150  $\text{W}/\text{m}^{\circ}\text{C}$ 、基板1は20  $\text{W}/\text{m}^{\circ}\text{C}$ であり、水平方向の熱伝導を、最も高い熱伝導率を持つサーマルビア4内部で行わせることによって、基板1や半導体素子3の内部で行わせるよりも熱抵抗が極めて小さくなり、放熱特性上有利になる。

【0029】以上の構成の幅広部4a、4bを有するサーマルビア4は例えば次のように形成することができる。

【0030】まず、基板1上にサーマルビア4の材質である銅、アルミニウム等をスパッタ、メッキ等により任意の厚さに塗布する。サーマルビア4を形成しようとする部分にマスクを施し、他の不必要な部分の銅等をエッチング処理により除去する。このとき、マスクの大きさをサーマルビア4の幅広部4aの大きさに設定しておく。つぎに、エッチングで取り除いた部分にポリイミド等の絶縁材2aを薄く塗布する。この工程を幅広部4aの厚さが得られるまで、塗布を最低1回以上繰り返して行い、絶縁材2a内にサーマルビアの幅広部4aが形成される。

【0031】その後、上記と同様な工程をマスクの大きさを本体部4cの大きさに設定して、サーマルビア4の本体部4cを幅広部4aに連続して積み重ねるように必要な厚みが得られるまで最低1回以上行う。なお電気的な配線については、実施例1と同様にして行い、順次多層配線を形成する。

【0032】その後、再び、マスクの大きさを幅広部4bの大きさに設定して、サーマルビア4の本体部4cに幅広部4bを積み重ねるようにして連続させて形成して、サーマルビア4を有する配線層2が形成される。

【0033】また、他の形成方法として、つぎに示す方法も使用できる。

【0034】まず、基板1上に絶縁材2aの材質であるポリイミド等をスパッタまたは塗布等により任意の厚さだけ設ける。サーマルビア4の幅広部4aを除いてマスクングを施し、エッチングによりサーマルビア4の形成部分の絶縁材2aを除去し、その凹部にサーマルビア4を形成するための銅、アルミニウム等をスパッタ、メッキ等により埋め込んで付着させてサーマルビア4の幅広部4aを形成する。この工程を幅広部4aの厚みが得られるまで、最低1回以上行うことで、絶縁材2a内部にサーマルビア4の幅広部4aを形成される。

【0035】その後、上記と同様な工程をマスクで覆わ

れない部分の大きさをサーマルビア4の本体部4cの大きさに設定して、サーマルビア4の本体部4cを幅広部4aに連続して積み重ねるようにして必要な厚さが得られるまで最低1回以上行う。

【0036】なお、以上の工程を行う中で、電気的な配線は実施例1と同様に、順次多層配線を形成する。

【0037】その後、再び、マスクで覆われない部分の大きさをサーマルビア4の幅広部4bの大きさに設定してサーマルビア4の本体部4cに幅広部4bを積み重ねるように連続させて形成して、本発明のサーマルビア4を有する配線層2が形成される。

【0038】以上の実施例3に示すサーマルビア4の構成によれば、基板1あるいは半導体素子3内部での水平方向の熱伝導の一部をサーマルビア4の幅広部4a、4b内部での熱伝導により負担させることができる。サーマルビア4を基板1（例えばアルミナ、シリコン、セラミック等）や半導体素子（例えばシリコン）よりも熱伝導性の高い材料、例えば銅、アルミニウム等で作成すれば、水平方向の熱伝導に伴う熱抵抗の増加を抑制することができる。また、サーマルビア4の一部（幅広部4a、4b）が太くなるので、サーマルビア4内部における垂直方向の熱伝導性も向上し、半導体素子2の放熱特性は格段に向上する。

【0039】以上はサーマルビア4の両端に幅広部を有する実施例について述べたが、以下にそれ以外の形状を有する変形例について説明する。

【0040】図5に示すサーマルビア4は、基板1に当接する部分のみに幅広部4aを形成し、基板1内で水平方向に発生する熱伝達を、熱伝達率の高いサーマルビア4の幅広部4aに一部負担させるようにし、基板1側の放熱特性を向上させたものである。このような構成でも半導体素子3の放熱特性は向上する。

【0041】図6に示すサーマルビア4は、半導体素子3に当接する部分のみに幅広部4bを形成し、半導体素子3内で水平方向に発生する熱伝達を、熱伝達率の高いサーマルビア4の幅広部4bに一部負担させるようにし、半導体素子3側の放熱特性を向上させたものである。このような構成でも半導体素子3の放熱特性は向上する。

【0042】図7は、サーマルビア4の形状をコの字型にし、幅広部4a、4bを形成したものであり、図8

は、サーマルビア4の形状をL字型にし、幅広部4bのみを形成したものである。図8の変形例としては、図示は省略するが、同様にサーマルビア4の形状をL字型にし、幅広部4aのみを形成したのもでもよく、いずれの実施例も同様な作用・効果を呈する。

【0043】図9に示すように、幅広部4a、4bをテーパー状に段階的に太さを変化させるようにしても良く、この場合も図5乃至図8に対応させて、幅広部4a、4bの内一方だけを形成したり、片側だけ形成してコの字型あるいはL字型に形成しても良く、これらの実施例も同様な作用・効果を呈する。

【0044】なお、本発明において、配線層2内にサーマルビア4および電気配線を形成しているが、この他にも能動的な実装部品、例えばトランジスタ、ダイオード、さらにはIC等の半導体素子を埋め込んでもよい。また本発明のサーマルビア4は、熱の輸送を目的として設けられているが、電気を伝える機能を兼用させてもよい。さらに、サーマルビア4のうち少なくとも1本は、基板を貫通して、図示しない放熱フィン等のヒートシンクに接続するようにしてもよい。

【0045】以上図4乃至図9に示した実施例では、半導体素子2はワイヤボンディング10による実装がなされているが、フリップチップ等の他の実装方法でも良い。

【0046】つぎに、本発明における第三の多層配線基板について図10および図11に基づいて説明する。

【0047】本発明における第三の多層配線基板は、セラミック基板1と、前記セラミック基板1の面上に一体的に配設された有機高分子を電気絶縁体層とする多層配線層2、前記多層配線層2の面上に設けられた電子部品3を搭載ならびに配置するためのダイパッド2c（ダイパッド2cは設けなくても良い）、および前記多層配線層の厚さ方向にダイパッド2cからセラミック基板1まで、電気的に絶縁された状態で、貫通している柱状のサーマルビア4からなり、ここで前記サーマルビアはセラミック基板1およびダイパッド2cに接する端面の断面積がサーマルビア4の他の部分の断面積より大きく設定されており、前記サーマルビア4端面の断面積が次の式を満足するように設定されている。

【0048】

【数3】

$$0.045 < A^* < 0.19h^* + 0.34$$

$$A^* = (d_e / D)^2$$

$$h^* = h / d$$

$$h = - \frac{L d_{av}^2 - d^2}{2 d_e^2 - d^2}$$

ここで、 $d$ ：サマルビア4の最細部の断面積を正方形に換算したときの一辺の長さ、 $d_e$ ：サマルビア4端面がダイパッド2cおよび基板1と接する面積を正方形に換算したときの一辺の長さ、 $d_{av}$ ：サマルビア4の平均断面積を正方形に換算したときの一辺の長さ、 $D$ ：ダイパッド2c下のサマルビアの平均ピッチ、 $L$ ：サマルビア4の長さ。

【0049】図10に示すように、サマルビア4の太さが一樣な場合には、サマルビア4を通る熱の流れは配線層領域Bの前後の領域A、Cで縮小拡大する。配線層2表裏の間の熱抵抗は領域Bでの熱抵抗 $R_v$ と領域A、Cでの熱の流れの縮小拡大に伴って発生する熱抵抗 $R_e$ に分離できる。 $R_e$ は図10の縦方向の熱の流れに伴う熱抵抗の成分は含まず、横方向（水平方向）の熱移動に係わる成分のみを抽出した熱抵抗であって、サマルビア4端部の拡大に主として $R_e$ の低減に効果がある。

【0050】図11に示すように、サマルビア4の両端部を拡大した場合には、端部拡大による熱抵抗の低減量を、端部を拡大しない場合の熱抵抗 $R_e$ を基準として表すと、無次元熱抵抗低減量 $\Delta R^*$ を、

【0051】

【数4】

$$\Delta R^* = \frac{(R_e)_{de=d} - R_e}{(R_e)_{de=d}}$$

のように定義する。ただし、 $(R_e)_{de=d}$ は、端部が広がっていないサマルビア4における、すなわち $d_e = d$ の場合の熱の流れの縮小拡大に起因する熱抵抗を表す。

【0052】評価関数  $F = \Delta R^* / A^*$

を考える。ただし、 $A^*$ はチップ下の領域で、サマルビア4が占有する面積比率で、例えばサマルビア4がピッチ $D$ で基盤目状に並んでいるときは、

$$A^* = (d_e / D)^2$$

である。数値解析による $F$ の計算結果は図12のようになる。 $F$ が各種端部拡大部の高さ $h$ におけるピーク値の半分までの領域を許容範囲とすると、

$$0.045 < A^* < 0.19h^* + 0.34$$

ただし、 $h^* = h / d$

が得られる。上式左辺の限界値0.045はグラフの傾きが大きく、 $h^*$ の依存性が小さく、一定値と見なすことができる。

【0053】本発明によれば、基板1あるいは半導体素子3内部等の熱の流れの縮小拡大の一部をサマルビア4内部で行わせることができる。サマルビア4は基板1や半導体素子3より熱伝導率の高い材料で構成されるので、熱の流れの縮小拡大に伴う熱的な抵抗を低減することができる。また、サマルビア4の一部が太くなるため、サマルビア4内部での基板1に垂直な方向の熱的な抵抗も低減することができる。

#### 実施例4

以下本発明を図11および図13に基づいて実施例を説明する。図13は本発明に係わる実施例に係る断面図である。発熱する半導体素子3がサマルビア4を持つ配線層2表面のダイパッド2cにマウント材3'により取り付けられる。サマルビア4は両端あるいは片端が広げられ、基板1や半導体素子3内部等での熱の流れの縮小拡大に伴う熱的な抵抗を一部負担する。

【0054】例えば、サマルビア4が銅製の長さ $L = 100 \mu\text{m}$ 、 $d = 50 \mu\text{m}$ 角の正方形柱でピッチ $D = 250 \mu\text{m}$ 、絶縁体2aがポリイミドの配線層2が窒化アルミニウム製の基板1上に作成されている場合は、サマルビア4の両端の長さ $h = 10 \mu\text{m}$ の領域の断面を $d_e = 80 \mu\text{m}$ 角に拡張することにより、熱の縮小拡大に伴う熱的な抵抗 $R_e$ を0.4倍に低減することができる。

【0055】

【発明の効果】以上のように、本発明によれば、熱的な抵抗の小さい配線層ができ、半導体素子の熱を良好に基板に伝えることができる。これにより発熱量の大きいCMOS等の超高速素子を実装した場合でも、十分満足することのできる放熱が可能となり、電気特性ならびに熱特性の両面で優れた多層配線基板を提供することが可能となった。

#### 【図面の簡単な説明】

【図1】 本発明に係る多層配線基板を用いた混成集積回路装置の要部構成例を示す断面図。

【図2】 本発明に係る多層配線基板において、薄膜多



層配線部に貫通して埋め込み、配置したサーマルビアの断面積比と熱抵抗の関係を示す曲線図。

【図3】 本発明に係る他の多層配線基板を用いた混成集積回路装置の要部構成例を示す断面図。

【図4】 本発明の多層配線基板におけるサーマルビアの一実施例に係る断面図。

【図5】 本発明の多層配線基板におけるサーマルビアの他の実施例に係る断面図。

【図6】 本発明の多層配線基板におけるサーマルビアの他の実施例に係る断面図。

【図7】 本発明の多層配線基板におけるサーマルビアの他の実施例に係る断面図。

【図8】 本発明の多層配線基板におけるサーマルビアの他の実施例に係る断面図。

【図9】 本発明の多層配線基板におけるサーマルビアの他の実施例に係る断面図。

【図10】 本発明の多層配線基板における断面積の一樣なサーマルビアを使用した場合の熱の流れを示した図。

【図11】 本発明の端面断面積が広く設定されたサー

マルビアを使用した多層配線基板の解析モデル（断面図）。

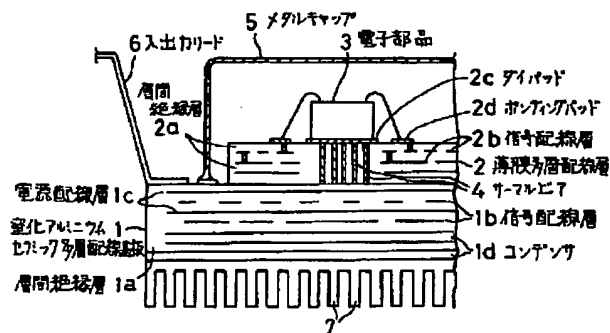
【図12】 図11に示す解析モデルを使用した数値解析による評価関数の挙動。

【図13】 図11に示す端面断面積が広く設定されたサーマルビアを使用した多層配線基板の実施例。

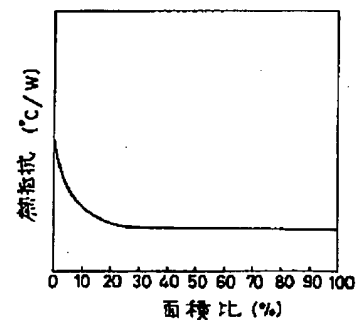
#### 【符号の説明】

- 1…窒化アルミニウム多層配線基板（セラミック基板）
- 1a, 2a…層間絶縁層
- 1b…信号配線層
- 1c…電源配線層
- 1d…平行平板コンデンサ
- 2…薄膜多層配線層
- 2b…信号配線層
- 2c…ダイパッド
- 2d…ボンディングパッド
- 3…電子部品
- 4…サーマルビア
- 7…放熱フィン（ヒートシンク）

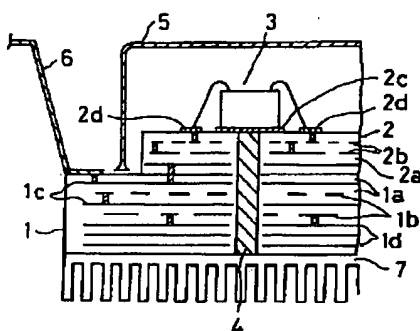
【図1】



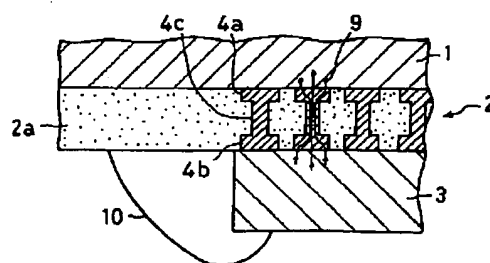
【図2】



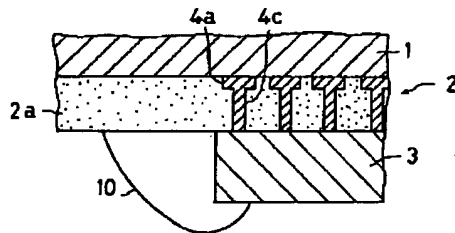
【図3】



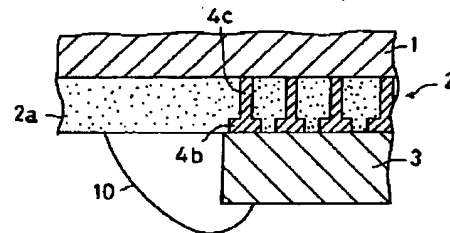
【図4】



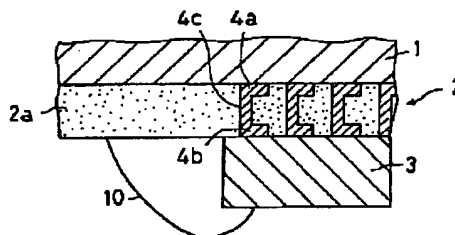
【図5】



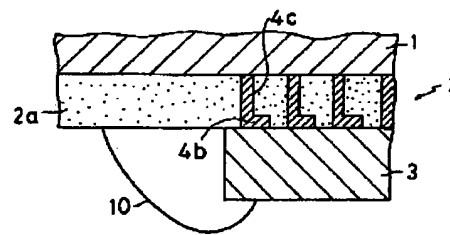
【図6】



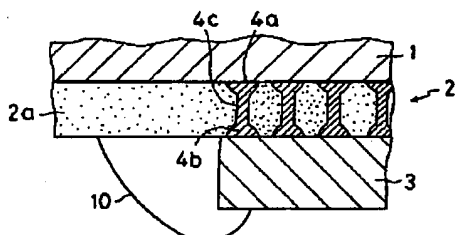
【図7】



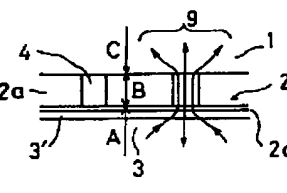
【図8】



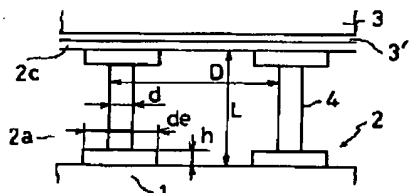
【図9】



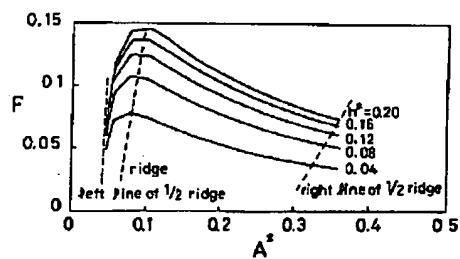
【図10】



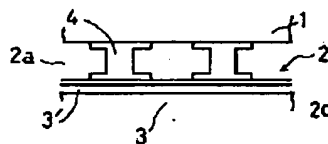
【図11】



【図12】



【図13】



フロントページの続き

(72) 発明者 宮城 武史

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72) 発明者 松本 一広

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**